**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ ХАБАРОВСОГО КРАЯ**

**Краевое государственное автономное**

**профессиональное образовательное учреждение**

**«Губернаторский авиастроительный колледж**

**г. Комсомольска – на - Амуре (Межрегиональный центр компетенций)»**

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ**

для практических работ

**по МДК 01.01 «Цифровая схемотехника»**

для специальности

**09.02.01 «Компьютерные системы и комплексы**

для студентов заочного отделения

**Практическая работа №5**

Комсомольск – на – Амуре, 2019

**Практическая работа №5**

**Тема работы:** Исследование двоичных сумматоров, цифровых компараторов и устройств чётности.

**Цель работы**: ознакомление с принципом работы двоичного сумматора, компаратора и устройств чётности.

**Теоретическая часть**

Арифметические сумматоры являются составной частью так называемых арифметико-логических устройств (АЛУ) микропроцессоров (МП). Они используются также для формирования физического адреса ячеек памяти в МП с сегментной организацией памяти. В программе EWB арифметические сумматоры представлены в библиотеке Digital двумя базовыми устройствами, показанными: полусумматором и полным сумматором. Они имеют следующие назначения выводов: А, В — входы слагаемых, ∑ — результат суммирования. Со — выход переноса, Ci — вход переноса. Многоразрядный сумматор создается на базе одного полусумматора и несколько полных сумматоров.

Цифровые компараторы (от английского compare — сравнивать) выполняют сравнение двух чисел А, В одинаковой разрядности, заданных в двоичном или двоично-десятичном коде. В зависимости от схемного исполнения компараторы могут определять равенство А=В или неравенства А<В, А>В. Результат сравнения отображается в виде логического сигнала на одноименных выходах.

Операция контроля четности двоичных чисел позволяет повысить надежность передачи и обработки информации. Ее сущность заключается в суммировании по модулю 2 всех разрядов с целью выяснения четности числа, что позволяет выявить наиболее вероятную ошибку в одном из разрядов двоичной последовательности.

Обнаружение ошибок путем введения дополнительного бита четности происходит следующим образом. На передающей стороне передаваемый код анализируется и дополняется контрольным битом до четного или нечетного числа единиц в суммарном коде. Соответственно суммарный код называется четным или нечетным. В случае нечетного кода дополнительный бит формируется таким образом, чтобы сумма всех единиц в передаваемом коде, включая контрольный бит, была нечетной. При контроле четности все, естественно, наоборот.

**Ход работы**.

**Задание №1.** **Исследование полусумматора.**

1. Собрать схему рисунка 1 а)

а)

б)

Рисунок 1. Схемы подключения сумматоров

1. После подключения полусумматора к преобразователю согласно рисунку 1.а). Двойным щелчком по анализатору открываем диалоговое окно и последовательно нажимаем кнопки: , ,  в результате получаем таблицу истинности и булево выражение. Определяем, функцию какого элемента он выполняет?
2. Изменяем схему, подключив клемму OUT анализатор к выходу Со полусумматора, выполняем действия аналогичные в п.2. Определяем, функцию какого элемента он выполняет?

**Задание №2.** **Исследование полного сумматора.**

1. Собрать схему рисунка 1б)
2. После подключения сумматора к преобразователю согласно рис. 1.б). Двойным щелчком по анализатору открываем диалоговое окно и последовательно нажимаем кнопки: , ,  в результате получаем таблицу истинности и булево выражение. Определяем, функцию какого элемента он выполняет?
3. Изменяем схему, подключив клемму OUT анализатор к выходу Со сумматора выполняем действия аналогичные в п.2. Определяем, функцию какого элемента он выполняет?

**Задание №3.** **Исследование трёхразрядного сумматора.**

1. Собрать схему рисунка 2.

Рисунок 2. Схема трёхразрядного сумматора

Схема состоит из: 2-х полных сумматоров; полусумматора; генератора слов; дешифрующего семисегментного индикатора (Dec SSD).

1. Сделайте двойной щелчок по генератору слов и занесите соответствующие коды в левое поле в адреса с 0000 по 0012. Запустите модель в пошаговом режиме (кнопка Step). Генератор слов показан на рис. 3.

Занесите полученные на табло результаты в таблицу истинности.



Рисунок 3. Генератор кода

**Задание №4. Исследование цифрового компаратора**

* + 1. Собрать схему, показанную на рисунке 4.

Рисунок 4. Схема одноразрядного цифрового компаратора

Компаратор состоит из двух элементов НЕ, четырех элементов И и одного элемента ИЛИ-НЕ.

Для исследования компаратора к нему подключен логический преобразователь.

* + 1. Подсоединяя клемму логического преобразователя OUT к каждому выходу компаратора, получить таблицу истинности и булево выражение для каждого режима работы компаратора.

**Задание №5. Исследование устройства чётности.**

1. Соберите схему, показанную на рисунке 5.

Рисунок 5. Схема включения ИМС 74280

ИМС 74280 имеет 9 входов (A, B, ..., I) и два выхода (EVEN, ODD), один из которых — инверсный. Вход I используется для управления видом контроля (0 — контроль четности, 1 — контроль нечетности) и управляется переключателем Z (управляется с клавиатуры одноименной клавишей). Вывод NC — not connection — пустой, т.е. внутри ИМС к нему ничего не подключено.

1. Проверить правильность функционирования схемы с помощью генератора слова, при этом тип контроля (четности или нечетности) выбирается переключателем Z; на входы рассматриваемого устройства подаются различные двоичные комбинации; состояние выходов ИМС контролируется подключенными к ним светоиндикаторами (логическими пробниками). Результаты занести в таблицу (минимум 4 значения):

|  |  |
| --- | --- |
| Входы | Выходы |
| Кодовое слово | Z | EVEN | ODD |
|  |  |  |  |

**Сделайте вывод по работе.**

**Контрольные вопросы.**

1. Что такое компаратор?
2. Как и с помощью какого элемента осуществляется поразрядное сравнение двоичных чисел?
3. Какое устройство называется двоичным сумматором?
4. Зарисуйте принципиальную схему компаратора, напишите таблицу истинности.
5. Зарисуйте принципиальную схему полусумматора, напишите таблицу истинности.
6. Какое устройство называется полусумматором?
7. Зарисуйте принципиальную схему полусумматора, напишите для него таблицу истинности.